

In re Patent Application of

Takahiro HOSHIDE

Group Art Unit: Unassigned

Application No.: Unassigned

Examiner: Unassigned

Filed: February 26, 2002

For: DC BIAS CONTROL CIRCUIT...

j1002 U.S. PRO
10/082294
02/26/02

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-390151

Filed: December 21, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

~~BURNS, DOANE, SWECKER & MATHIS, L.L.P.~~

Date: February 26, 2002

By:

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : December 21, 2001

Application Number : Japanese Patent Application No. 2001-390151

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 29th day of January, 2002

Commissioner,
Japan Patent Office Kozo OIKAWA

Certificate No. 2002-3002007

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月21日

出 願 番 号

Application Number:

特願2001-390151

[ST.10/C]:

[JP2001-390151]

出 願 人

Applicant(s):

三菱電機株式会社

2002年 1月29日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3002007

【書類名】 特許願

【整理番号】 535608JP01

【提出日】 平成13年12月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 25/03
H03K 5/08

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 星出 高寛

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100066474

 【弁理士】

 【氏名又は名称】 田澤 博昭

【選任した代理人】

 【識別番号】 100088605

 【弁理士】

 【氏名又は名称】 加藤 公延

【手数料の表示】

 【予納台帳番号】 020640

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 直流バイアス制御回路、光受信器及び直流バイアス制御方法

【特許請求の範囲】

【請求項 1】 アンプの出力信号の交流成分に直流バイアスを付加して入力し、所定の閾値電圧によりデータを再生するデータ再生回路における上記直流バイアスを制御する直流バイアス制御回路であって、

上記アンプの出力信号の H i g h レベル、D C レベル及び L o w レベルに基づき、上記直流バイアスを制御することを特徴とする直流バイアス制御回路。

【請求項 2】 アンプの出力信号の H i g h レベルを検出する H i g h レベル検出回路と、

上記アンプの出力信号の D C レベルを検出する D C レベル検出回路と、

上記アンプの出力信号の L o w レベルを検出する L o w レベル検出回路と、

上記 H i g h レベルから上記 D C レベルを減算して第 1 の減算結果を求める第 1 の減算回路と、

上記 D C レベルから上記 L o w レベルを減算して第 2 の減算結果を求める第 2 の減算回路と、

上記第 1 の減算結果から上記第 2 の減算結果を減算して第 3 の減算結果を求める第 3 の減算回路と、

上記第 3 の減算結果に上記アンプの特性に対応した重み付けを行い、上記アンプの出力信号の立ち上がりと立下りのクロス点と上記 D C レベルとの差を求めて、直流バイアスを補正する補正回路とを備えたことを特徴とする請求項 1 記載の直流バイアス制御回路。

【請求項 3】 入力される光信号を電流信号に変換する受光素子と、

この受光素子に流れる電流信号を電圧信号に変換するプリアンプと、

このプリアンプからの電圧信号の交流成分に直流バイアスを付加して入力し、所定の閾値電圧によりデータを識別して再生すると共にクロックを抽出する識別再生クロック抽出回路とを備えた光受信器であって、

上記プリアンプの出力信号の H i g h レベル、D C レベル及び L o w レベルに基づき、上記直流バイアスを制御することを特徴とする光受信器。

【請求項4】 プリアンプの出力信号のH i g hレベルを検出するH i g hレベル検出回路と、

上記プリアンプの出力信号のD Cレベルを検出するD Cレベル検出回路と、

上記プリアンプの出力信号のL o wレベルを検出するL o wレベル検出回路と、

上記H i g hレベルから上記D Cレベルを減算して第1の減算結果を求める第1の減算回路と、

上記D Cレベルから上記L o wレベルを減算して第2の減算結果を求める第2の減算回路と、

上記第1の減算結果から上記第2の減算結果を減算して第3の減算結果を求める第3の減算回路と、

上記第3の減算結果に受光素子及び上記プリアンプの特性に対応した重み付けを行い、上記プリアンプの出力信号の立ち上がりと立下りのクロス点と上記D Cレベルとの差を求めて、直流バイアスを補正する補正回路とを備えたことを特徴とする請求項3記載の光受信器。

【請求項5】 アンプの出力信号の交流成分に直流バイアスを付加して入力し、所定の閾値電圧によりデータを再生するデータ再生回路における上記直流バイアスを制御する直流バイアス制御方法であって、

上記アンプの出力信号のH i g hレベルを検出し、

上記アンプの出力信号のD Cレベルを検出し、

上記アンプの出力信号のL o wレベルを検出し、

上記H i g hレベルから上記D Cレベルを減算して第1の減算結果を求め、

上記D Cレベルから上記L o wレベルを減算して第2の減算結果を求め、

上記第1の減算結果から上記第2の減算結果を減算して第3の減算結果を求め、

上記第3の減算結果に上記アンプの特性に対応した重み付けを行い、上記アンプの出力信号の立ち上がりと立下りのクロス点と上記D Cレベルとの差を求めて、上記直流バイアスを補正することを特徴とする直流バイアスを制御方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は再生されるデータのジッタを抑制する直流バイアス制御回路、光受信器及び直流バイアス制御方法に関するものである。

【 0 0 0 2 】

【従来の技術】

図 1 2 は日本国特許の特開平 1 1 - 2 8 4 5 7 2 号公報に開示された従来の光受信器の構成を示すブロック図であり、図において、1 は入力される光信号を電流信号に変換する受光素子、2 は受光素子 1 に流れる電流信号を電圧信号に変換するプリアンプ、3 はプリアンプ 2 からの電圧信号の直流成分を遮断し交流成分を通過させるコンデンサ、4 はコンデンサ 3 を通過した電圧信号の交流成分からデータを識別して再生すると共にクロックを抽出する識別再生クロック抽出回路である。

【 0 0 0 3 】

次に動作について説明する。

受光素子 1 は入力される光信号を電流信号に変換し、プリアンプ 2 は受光素子 1 に流れる電流信号を電圧信号に変換して出力する。光信号の入力パワーが大きくなると、受光素子 1 やプリアンプ 2 の特性によっては、プリアンプ 2 の出力信号に歪みが発生し、識別再生クロック抽出回路 4 に入力される波形の立ち上がりと立下りのクロス点が、DC レベル（波形の平均値）から上側又は下側にずれてしてしまうことがある。

【 0 0 0 4 】

一般に、識別再生クロック抽出回路 4 は差動入力となっており、正相側には、直流バイアスが付加されたコンデンサ 3 からの電圧信号の交流成分が入力され、逆相側には、再生されるデータの 0 と 1 を判別するための閾値電圧が供給されている。この逆相側に供給されている閾値電圧は、正相側に付加されている直流バイアスと一致する。

【 0 0 0 5 】

図 1 3 は識別再生クロック抽出回路 4 の入力波形と再生されるデータの波形を

示す図である。図13 (a) は光信号の入力パワーが通常レベルで、プリアンプ2の出力信号に歪みがない場合を示し、図13 (b) は光信号の入力パワーが大きく、プリアンプ2の出力信号に歪みがある場合を示している。

【0006】

図13 (a) に示すように、プリアンプ2の出力信号に歪みがなく良好な波形の場合には、出力波形はDCレベルを中心に上下対称となり、波形の立ち上がり点と立ち下りのクロス点が波形中央にくる。したがって、クロス点が閾値電圧に一致するため、波形101が入力された場合には、識別再生クロック抽出回路4から再生されるデータは波形103となり、波形102が入力された場合には、再生されるデータは波形104となる。そのため、再生されるデータの波形103と波形104の立ち上がり点と立ち下り点が一致して時間差 Δt は0となり、再生されるデータにジッタは発生しない。

【0007】

しかし、図13 (b) に示すように、プリアンプ2の出力信号に歪みがある場合には、クロス点が上側にずれると、波形の平均値が上側にずれてしまい、DCレベルを基準にすると、波形全体が下がったようになる。なお、図13 (b) では、クロス点が上側にずれているが、プリアンプ2の特性によりクロス点が下側にずれる場合もある。

【0008】

図13 (b) では、クロス点は閾値電圧より上側になり、波形105が入力された場合には、識別再生クロック抽出回路4から再生されるデータは波形107となり、波形106が入力された場合には、再生されるデータは波形108となる。そのため、波形107と波形108の立ち上がり点と立ち下り点が一致せずに時間差 Δt が発生し、再生されるデータにジッタが発生する。

【0009】

【発明が解決しようとする課題】

従来の光受信器は以上のように構成されているので、識別再生クロック抽出回路4に入力される信号が歪んで、波形の立ち上がり点と立ち下りのクロス点が波形中央からずれてしまうと、再生されるデータにジッタが発生してしまうという課題

があった。

【 0 0 1 0 】

この発明は上記のような課題を解決するためになされたもので、入力される信号が歪んで、波形の立ち上がりと立下りのクロス点が波形中央からずれても、再生されるデータのジッタを抑制できる直流バイアス制御回路、光受信器及び直流バイアス制御方法を得ることを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

この発明に係る直流バイアス制御回路は、アンプの出力信号の交流成分に直流バイアスを付加して入力し、所定の閾値電圧によりデータを再生するデータ再生回路における直流バイアスを制御するものであって、アンプの出力信号の H i g h レベル、D C レベル及び L o w レベルに基づき、直流バイアスを制御するものである。

【 0 0 1 2 】

この発明に係る直流バイアス制御回路は、アンプの出力信号の H i g h レベルを検出する H i g h レベル検出回路と、アンプの出力信号の D C レベルを検出する D C レベル検出回路と、アンプの出力信号の L o w レベルを検出する L o w レベル検出回路と、H i g h レベルから D C レベルを減算して第 1 の減算結果を求める第 1 の減算回路と、D C レベルから L o w レベルを減算して第 2 の減算結果を求める第 2 の減算回路と、第 1 の減算結果から第 2 の減算結果を減算して第 3 の減算結果を求める第 3 の減算回路と、第 3 の減算結果にアンプの特性に対応した重み付けを行い、アンプの出力信号の立ち上がりと立下りのクロス点と D C レベルとの差を求めて、直流バイアスを補正する補正回路とを備えたものである。

【 0 0 1 3 】

この発明に係る光受信器は、入力される光信号を電流信号に変換する受光素子と、この受光素子に流れる電流信号を電圧信号に変換するプリアンプと、このプリアンプからの電圧信号の交流成分に直流バイアスを付加して入力し、所定の閾値電圧によりデータを識別して再生すると共にクロックを抽出する識別再生クロック抽出回路とを備えたものであって、プリアンプの出力信号の H i g h レベル

、DCレベル及びLowレベルに基づき、直流バイアスを制御するものである。

【0014】

この発明に係る光受信器は、プリアンプの出力信号のHighレベルを検出するHighレベル検出回路と、プリアンプの出力信号のDCレベルを検出するDCレベル検出回路と、プリアンプの出力信号のLowレベルを検出するLowレベル検出回路と、HighレベルからDCレベルを減算して第1の減算結果を求める第1の減算回路と、DCレベルからLowレベルを減算して第2の減算結果を求める第2の減算回路と、第1の減算結果から第2の減算結果を減算して第3の減算結果を求める第3の減算回路と、第3の減算結果に受光素子及びプリアンプの特性に対応した重み付けを行い、プリアンプの出力信号の立ち上がりと立下りのクロス点とDCレベルとの差を求めて、直流バイアスを補正する補正回路とを備えたものである。

【0015】

この発明に係る直流バイアス制御方法は、アンプの出力信号の交流成分に直流バイアスを付加して入力し、所定の閾値電圧によりデータを再生するデータ再生回路における直流バイアスを制御するものであって、アンプの出力信号のHighレベルを検出し、アンプの出力信号のDCレベルを検出し、アンプの出力信号のLowレベルを検出し、HighレベルからDCレベルを減算して第1の減算結果を求め、DCレベルからLowレベルを減算して第2の減算結果を求め、第1の減算結果から第2の減算結果を減算して第3の減算結果を求め、第3の減算結果にアンプの特性に対応した重み付けを行い、アンプの出力信号の立ち上がりと立下りのクロス点とDCレベルとの差を求めて、直流バイアスを補正するのである。

【0016】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1による光受信器の構成を示すブロック図である。図1において、受光素子1、プリアンプ2、コンデンサ3、識別再生クロック

抽出回路 4 は従来の図 1 2 に示す構成と同様であり、同一符号を付してその説明を省略する。1 1 はプリアンプ 2 の出力信号の H i g h レベルを検出する H i g h レベル検出回路、1 2 はプリアンプ 2 の出力信号の D C レベルを検出する D C レベル検出回路、1 3 はプリアンプ 2 の出力信号の L o w レベルを検出する L o w レベル検出回路である。

【 0 0 1 7 】

また、図 1 において、1 4 は H i g h レベル検出回路 1 1 が検出した H i g h レベルから D C レベル検出回路 1 2 が検出した D C レベルを減算して第 1 の減算結果を求める減算回路（第 1 の減算回路）、1 5 は D C レベル検出回路 1 2 が検出した D C レベルから L o w レベル検出回路 1 3 が検出した L o w レベルを減算して第 2 の減算を求める減算回路（第 2 の減算回路）である。

【 0 0 1 8 】

さらに、図 1 において、1 6 は減算回路 1 4 が求めた第 1 の減算結果から減算回路 1 5 が求めた第 2 の減算結果を減算して第 3 の減算結果を求める減算回路（第 3 の減算回路）、1 7 は減算回路 1 6 が求めた第 3 の減算結果に受光素子 1 及びプリアンプ 2 の特性に対応した重み付けを行い、入力波形の立ち上がりと立下りのクロス点と D C レベルとの差 ΔV を求めて、識別再生クロック抽出回路 4 の入力の正相側に付加されている直流バイアスを ΔV だけ減少させる補正回路である。

【 0 0 1 9 】

図 2 は H i g h レベル検出回路 1 1 の構成を示す回路図であり、コンデンサ 2 1、抵抗 2 2、ダイオード 2 3、コンデンサ 2 4 からなる半波整流回路により、プリアンプ 2 の出力信号の H i g h レベルを検出する。また、図 3 は L o w レベル検出回路 1 3 の構成を示す回路図であり、コンデンサ 2 5、抵抗 2 6、ダイオード 2 7、コンデンサ 2 8 からなる半波整流回路により、プリアンプ 2 の出力信号の L o w レベルを検出する。

【 0 0 2 0 】

さらに、図 4 は H i g h レベル検出回路 1 1 と L o w レベル検出回路 1 3 の機能を含めた回路構成を示すブロック図であり、3 1 はプリアンプ 2 からの出力信

号をデジタル値に変換するAD変換回路、32は変換されたデジタル値をサンプリングパルスにより所定間隔でサンプリングし、サンプリング値のヒストグラムをとることにより、累積数が多い点のレベルをHighレベル又はLowレベルとして検出する制御回路、33は制御回路32の制御によりサンプリング値をレベル毎に累積するメモリである。

【0021】

図5はDCレベル検出回路12の構成を示す回路図であり、プリアンプ2のDCレベルがVdcの出力信号を分圧する抵抗41、42と、分圧された出力信号の高周波分を遮断して低周波分を増幅する増幅回路43により構成されている。

【0022】

図6はDCレベル検出回路12の構成を示す他の回路図であり、プリアンプ2の出力信号の直流成分を遮断するコンデンサ44とDCレベルがVdcの電源に接続された抵抗45により構成されている。ただし、図6に示すDCレベル検出回路12を使用する場合には、電源のVdcが共通の図2に示すHighレベル検出回路11及び図3に示すLowレベル検出回路13を使用する必要がある。

【0023】

次に動作について説明する。

図1において、受光素子1、プリアンプ2の動作は図12に示した従来の光受信器と同様である。Highレベル検出回路11はプリアンプ2の出力信号のHighレベルを検出するが、図2に示すHighレベル検出回路11では、入出力の波形に示すように、DCレベルがVdcの出力信号を入力して半波整流を行い、出力信号のHighレベルを検出する。

【0024】

また、Lowレベル検出回路13はプリアンプ2の出力信号のLowレベルを検出するが、図3に示すLowレベル検出回路13では、入出力の波形に示すように、DCレベルがVdcの出力信号を入力して半波整流を行い、出力信号のLowレベルを検出する。

【0025】

さらに、図4に示すHighレベル検出回路11とLowレベル検出回路13

の機能を含めた回路構成では、A D変換回路 3 1 がプリアンプ 2 からの出力信号をデジタル値に変換し、制御回路 3 2 は変換されたデジタル値をサンプリングパルスによりデータ伝送速度以上の所定間隔でサンプリングし、サンプリング値をレベル毎にメモリ 3 3 に累積する。そして、制御回路 3 2 は、レベル毎に累積されたサンプリング値のヒストグラムをとることにより、累積数が多い点のレベルを H i g h レベル又は L o w レベルとして検出する。

【 0 0 2 6 】

D C レベル検出回路 1 2 はプリアンプ 2 の出力信号の D C レベルを検出する。図 5 に示す D C レベル検出回路 1 2 において、プリアンプ 2 からの D C レベルが V_{dc} の出力信号は、抵抗 4 1, 4 2 により分圧されて増幅回路 4 3 に入力される。抵抗 4 1, 4 2 の抵抗値を R_1 , R_2 とすると、分圧された D C レベル V_0 は次の (1) 式により得られる。

$$V_0 = V_{dc} \times R_2 / (R_1 + R_2) \quad (1)$$

【 0 0 2 7 】

分圧された D C レベル V_0 は増幅回路 4 3 に入力される。増幅回路 4 3 は高周波分を遮断し低周波分を増幅し、その利得 G は $(R_1 + R_2) / R_2$ となるように設定されている。そのため、増幅回路 4 3 の出力電圧 V_1 は次の (2) 式により得られる。

$$V_1 = V_0 \times G = V_0 \times (R_1 + R_2) / R_2 \quad (2)$$

上記 (2) 式に上記 (1) 式を代入すると、次の (3) 式により増幅回路 4 3 の出力電圧 V_1 が得られる。

$$\begin{aligned} V_1 &= V_0 \times (R_1 + R_2) / R_2 \\ &= V_{dc} \times (R_2 / (R_1 + R_2)) \times ((R_1 + R_2) / R_2) \\ &= V_{dc} \end{aligned} \quad (3)$$

すなわち、プリアンプ 2 の出力信号の D C レベル V_{dc} が検出される。

【 0 0 2 8 】

図 6 に示す D C レベル検出回路 1 2 では、コンデンサ 4 4 がプリアンプ 2 からの D C レベルを遮断し、新たに電源より与えられている D C レベル V_{dc} がそのまま D C レベル検出回路 1 2 から H i g h レベル検出回路 1 1 及び L o w レベル

検出回路 1 3 に出力される。この電源からの DC レベル V_{dc} は、図 2 に示す H_{igh} レベル検出回路 1 1 の電源 V_{dc} 、及び図 3 に示す L_{ow} レベル検出回路 1 3 の電源 V_{dc} と同じ電圧である。

【 0 0 2 9 】

図 1 において、減算回路 1 4 は H_{igh} レベル検出回路 1 1 が検出した H_{igh} レベルから DC レベル検出回路 1 2 が検出した DC レベルを減算して第 1 の減算結果である H_{igh} レベルと DC レベルの電位差 ΔV_{high} を算出する。また、減算回路 1 5 は DC レベル検出回路 1 2 が検出した DC レベルから L_{ow} レベル検出回路 1 3 が検出した L_{ow} レベルを減算して第 2 の演算結果である DC レベルと L_{ow} レベルの電位差 ΔV_{low} を算出する。さらに、減算回路 1 6 は第 1 の減算結果である ΔV_{high} から第 2 の演算結果である ΔV_{low} を減算して、第 3 の減算結果である $(\Delta V_{high} - \Delta V_{low})$ を算出する。

【 0 0 3 0 】

補正回路 1 7 は減算回路 1 6 からの第 3 の減算結果である $(\Delta V_{high} - \Delta V_{low})$ に受光素子 1 及びプリアンプ 2 の入出力特性に対応した重み付けを行い、入力波形の立ち上がりと立下りのクロス点と DC レベルとの差 ΔV を求めて、識別再生クロック抽出回路 4 の入力の正相側に付加されている直流バイアスを ΔV だけ減少させる。このようにして、識別再生クロック抽出回路 4 の入力波形の立ち上がりと立下りのクロス点を閾値電圧に一致させたり、クロス点と閾値電圧との差を小さくすることができる。

【 0 0 3 1 】

図 7 はプリアンプ 2 の出力信号に歪みがある場合の識別再生クロック抽出回路 4 の入力波形を示す図で、図 7 (a) は直流バイアス補正前の波形であり、図 7 (b) は直流バイアス補正後の波形である。直流バイアス補正前では、図 7 (a) に示すように、クロス点と DC レベル (閾値電圧) に差 ΔV があるために、従来の図 1 3 (b) と同様に、識別再生クロック抽出回路 4 から出力されるデータにジッタが発生する。

【 0 0 3 2 】

一方、図 7 (b) に示すように、補正回路 1 7 が、識別再生クロック抽出回路

4の入力の正相側に付加されている直流バイアスを ΔV だけ減少させることにより、波形のクロス点と閾値電圧を一致させることができる。そのため、波形111が識別再生クロック抽出回路4に入力された場合には、識別再生クロック抽出回路4から再生されるデータは波形113となり、波形112が入力された場合には、データは波形114となり、波形113と波形114の立ち上がり点と立ち下がり点が一致して時間差 Δt は0となり、再生されるデータにジッタは発生しない。

【0033】

次に補正回路17による受光素子1及びプリアンプ2の特性に対応した重み付けについて説明する。

図8は補正回路17による重み付けの補正特性の一例を示す図であり、プリアンプ2の出力信号が歪む場合の($\Delta V_{high} - \Delta V_{low}$)と(クロス点-DCレベル= ΔV)の関係を示している。図8において、横軸が正の領域はプリアンプ2の出力信号が歪んで、波形のクロス点が下にずれた場合の補正特性であり、横軸が負の領域はプリアンプ2の出力信号が歪んで、波形のクロス点が上にずれた場合の補正特性である。

【0034】

図8に示す補正特性は、1ビットが400 psec、HighレベルとLowレベルの差である振幅が400 mV、波形の立ち上がり時間と立ち下がり時間が常に一定の80 psecの場合である。また、図8において、横軸の($\Delta V_{high} - \Delta V_{low}$)と縦軸の(クロス点-DCレベル= ΔV)は比例関係となっており、減算回路16からの第3の減算結果である($\Delta V_{high} - \Delta V_{low}$)に一定の値(この場合は-0.75)を掛けた値が、補正回路17の出力 ΔV となり、この ΔV だけ直流バイアスを減少させることにより、クロス点が識別再生クロック抽出回路4の閾値電圧に一致する。

【0035】

図9は補正回路17による重み付けの補正特性と実際の受光素子1及びプリアンプ2の特性との関係を示す図である。図において、201が実際の受光素子1及びプリアンプ2の特性の一例を示し、211が図8と同じ補正回路17による

重み付けの補正特性を示している。図 9 に示すように、実際の受光素子 1 及びプリアンプ 2 の特性が比例関係にならない場合においても、その特性に近似した補正特性 2 1 1 により ΔV を求めることで、クロス点と閾値電圧との差が小さくなり、プリアンプ 2 からの出力信号が歪んだ場合の再生されるデータのジッタ特性が改善される。

【 0 0 3 6 】

図 1 0 は補正回路 1 7 による重み付けの補正特性と実際の受光素子 1 及びプリアンプ 2 の特性との関係を示す図である。図において、2 0 2 が実際の受光素子 1 及びプリアンプ 2 の特性の一例を示し、2 1 1 が図 8 と同じ補正回路 1 7 による重み付けの補正特性を示し、2 1 2 が補正回路 1 7 による重み付けの他の補正特性を示している。

【 0 0 3 7 】

図 1 0 に示すように、実際の受光素子 1 及びプリアンプ 2 の特性が比例関係にならない場合においても、その特性に近似した補正特性 2 1 1 と 2 1 2 により ΔV を求めることで、すなわち、横軸が正の領域においては補正特性 2 1 2 を使用し、横軸が負の領域においては補正特性 2 1 1 を使用して ΔV を求めることで、クロス点と閾値電圧との差が小さくなり、プリアンプ 2 からの出力信号が歪んだ場合の再生されるデータのジッタ特性が改善される。

【 0 0 3 8 】

このように、受光素子 1 及びプリアンプ 2 の特性に応じて最適の補正特性を使用する。また、波形の振幅が変動する場合でも、 $(\Delta V_{high} - \Delta V_{low})$ と (クロス点 - DC レベル) は、波形の振幅にそれぞれ比例して変化するため、振幅変動にかかわらず、 $(\Delta V_{high} - \Delta V_{low})$ と (クロス点 - DC レベル) の比は一定になる。したがって、受光素子 1 及びプリアンプ 2 の特性に応じて、例えば図 8 ～図 1 0 の補正特性にしておけば、波形の振幅の大小にかかわらず、ジッタ特性の改善が可能となる。

【 0 0 3 9 】

以上のように、この実施の形態 1 によれば、入力される信号が歪んで波形の立ち上がりと立下りのクロス点が波形中央からずれても、プリアンプ 2 の出力信号

の H i g h レベル、D C レベル及び L o w レベルを検出し、H i g h レベルから D C レベルを減算して第 1 の減算結果を求め、D C レベルら L o w レベルを減算して第 2 の減算結果を求め、第 1 の減算結果から第 2 の減算結果を減算して第 3 の減算結果を求め、第 3 の減算結果に受光素子 1 及びプリアンプ 2 の特性に対応した重み付けを行って直流バイアスを補正し、クロス点を識別再生クロック抽出回路 4 の閾値電圧に一致させたり、閾値電圧の近傍に移動させることで、再生されるデータのジッタを抑制できるという効果が得られる。

【 0 0 4 0 】

実施の形態 2.

上記実施の形態 1 では、入力した光信号からデータ及びクロックを再生する光受信器について説明したが、この発明は、一般的に光信号と同様の電気信号を入力し、データを再生するデータ再生回路における直流バイアス制御回路にも適用できる。

【 0 0 4 1 】

図 1 1 はこの発明の実施の形態 2 による直流バイアス制御回路の構成を示すブロック図である。図 1 1 において、2 a は信号を増幅するアンプ、4 a はアンプ 2 a の出力信号から所定の閾値電圧によりデータを再生するデータ再生回路、1 7 a は減算回路 1 6 からの第 3 の減算結果にアンプ 2 a の特性に対応した重み付けを行い、入力波形の立ち上がりと立下りのクロス点と D C レベルとの差 ΔV を求めて、データ再生回路 4 a の入力の正相側に付加されている直流バイアスを ΔV だけ減少させる補正回路である。

【 0 0 4 2 】

また、図 1 1 において、1 8 はアンプ 2 a から出力される信号に応じてデータ再生回路 4 a に入力される信号の直流バイアスを制御する直流バイアス制御回路で、H i g h レベル検出回路 1 1、D C レベル検出回路 1 2、L o w レベル検出回路 1 3、減算回路 1 4、減算回路 1 5、減算回路 1 6 及び補正回路 1 7 a により構成されている。その他の構成は実施の形態 1 の図 1 と同様であり、同一符号を付してその説明を省略する。

【 0 0 4 3 】

次に動作について説明する。

H i g hレベル検出回路 1 1、D Cレベル検出回路 1 2 及び L o wレベル検出回路 1 3 は、アンプ 2 a の出力信号の H i g hレベル、D Cレベル及び L o wレベルを、実施の形態 1 と同様にしてそれぞれ検出する。また、減算回路 1 4、減算回路 1 5 及び減算回路 1 6 も実施の形態 1 と同様に、それぞれ第 1 の減算結果、第 2 の減算結果及び第 3 の減算結果を求める。

【 0 0 4 4 】

補正回路 1 7 a は減算回路 1 6 からの第 3 の減算結果である ($\Delta V_{high} - \Delta V_{low}$) にアンプ 2 a の入出力特性に合った重み付けを行い、入力波形の立ち上がりとし下りのクロス点と D Cレベルとの差 ΔV を求めて、データ再生回路 4 a の入力の正相側に付加されている直流バイアスを ΔV だけ減少させる。このようにして、データ再生回路 4 a の入力波形の立ち上がりとし下りのクロス点を閾値電圧に一致させたり、クロス点と閾値電圧との差を小さくすることができる。

【 0 0 4 5 】

以上のように、この実施の形態 2 によれば、入力される信号が歪んで波形の立ち上がりとし下りのクロス点が波形中央からずれても、アンプ 2 a の出力信号の H i g hレベル、D Cレベル及び L o wレベルを検出し、H i g hレベルから D Cレベルを減算して第 1 の減算結果を求め、D Cレベルから L o wレベルを減算して第 2 の減算結果を求め、第 1 の減算結果から第 2 の減算結果を減算して第 3 の減算結果を求め、第 3 の減算結果にアンプ 2 a の特性に対応した重み付けを行って直流バイアスを補正し、クロス点をデータ再生回路 4 a の閾値電圧に一致させたり、閾値電圧の近傍に移動させることで、再生されるデータのジッタを抑制できるという効果が得られる。

【 0 0 4 6 】

【発明の効果】

以上のように、この発明によれば、再生されるデータのジッタを抑制できるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による光受信器の構成を示すブロック図

である。

【図 2】 この発明の実施の形態 1 による H i g h レベル検出回路の構成を示す回路図である。

【図 3】 この発明の実施の形態 1 による L o w レベル検出回路の構成を示す回路図である。

【図 4】 この発明の実施の形態 1 による H i g h レベル検出回路と L o w レベル検出回路の機能を含めた回路構成を示すブロック図である。

【図 5】 この発明の実施の形態 1 による D C レベル検出回路の構成を示す回路図である。

【図 6】 この発明の実施の形態 1 による D C レベル検出回路の構成を示す回路図である。

【図 7】 この発明の実施の形態 1 によるプリアンプの出力信号に歪みがある場合の識別再生クロック抽出回路の入力波形を示す図である。

【図 8】 この発明の実施の形態 1 の補正回路による重み付けの補正特性の一例を示す図である。

【図 9】 この発明の実施の形態 1 の補正回路による重み付けの補正特性と実際の受光素子及びプリアンプの特性との関係を示す図である。

【図 1 0】 この発明の実施の形態 1 の補正回路による重み付けの補正特性と実際の受光素子及びプリアンプの特性との関係を示す図である。

【図 1 1】 この発明の実施の形態 2 による直流バイアス制御回路の構成を示すブロック図である。

【図 1 2】 従来の光受信器の構成を示すブロック図である。

【図 1 3】 従来の識別再生クロック抽出回路の入力波形と再生されるデータの波形を示す図である。

【符号の説明】

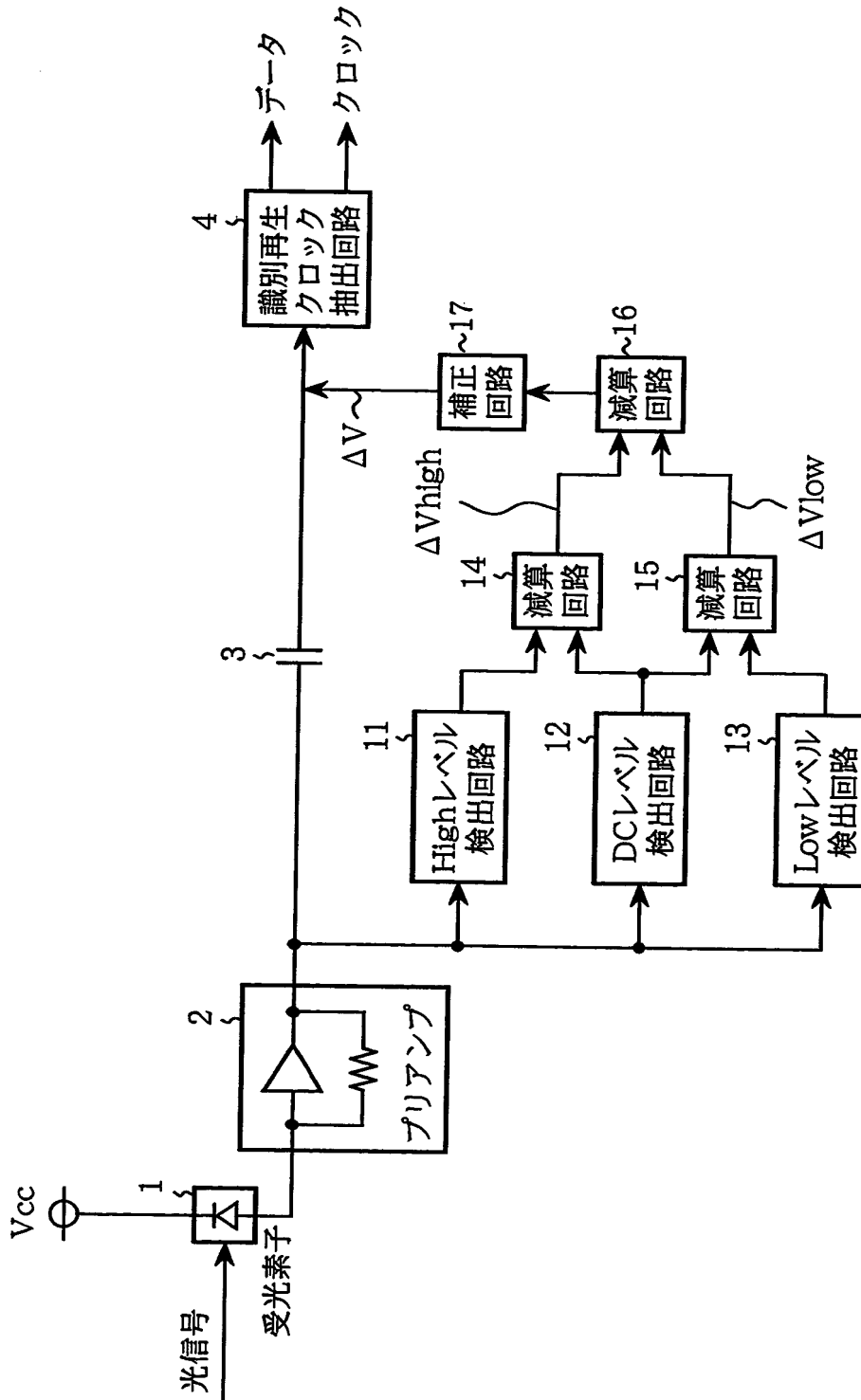
1 受光素子、2 プリアンプ、2 a アンプ、3 コンデンサ、4 識別再生クロック抽出回路、4 a データ再生回路、1 1 H i g h レベル検出回路、1 2 D C レベル検出回路、1 3 L o w レベル検出回路、1 4 減算回路（第 1 の減算回路）、1 5 減算回路（第 2 の減算回路）、1 6 減算回路（第 3 の

減算回路)、17 補正回路、17a 補正回路、18 直流バイアス制御回路、21 コンデンサ、22 抵抗、23 ダイオード、24 コンデンサ、25 コンデンサ、26 抵抗、27 ダイオード、28 コンデンサ、31 AD変換回路、32 制御回路、33 メモリ、41 抵抗、42 抵抗、43 増幅回路、44 コンデンサ、45 抵抗、111 波形、112 波形、113 データ、114 データ、201 実際の受光素子及びプリアンプの特性、202 実際の受光素子及びプリアンプの特性、211 補正特性、212 補正特性。

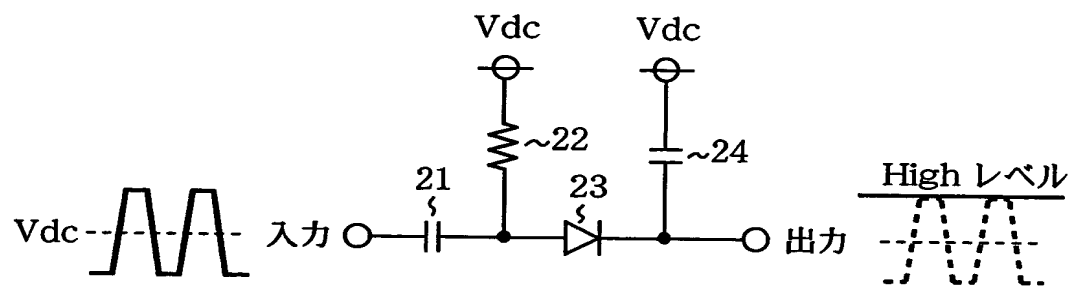
【書類名】

図面

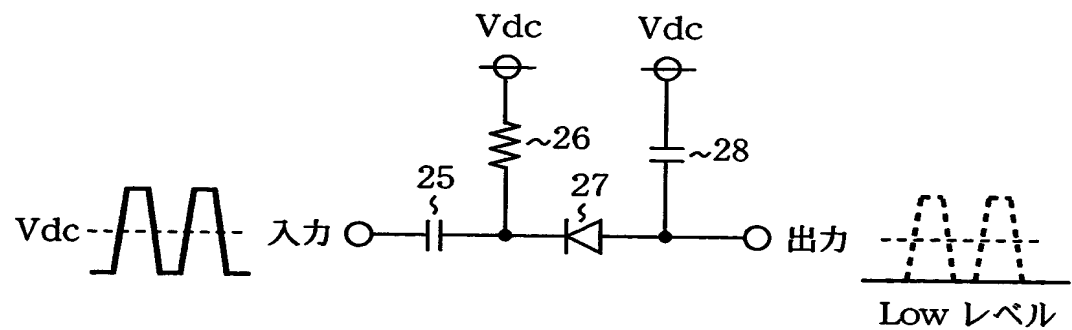
【図 1】



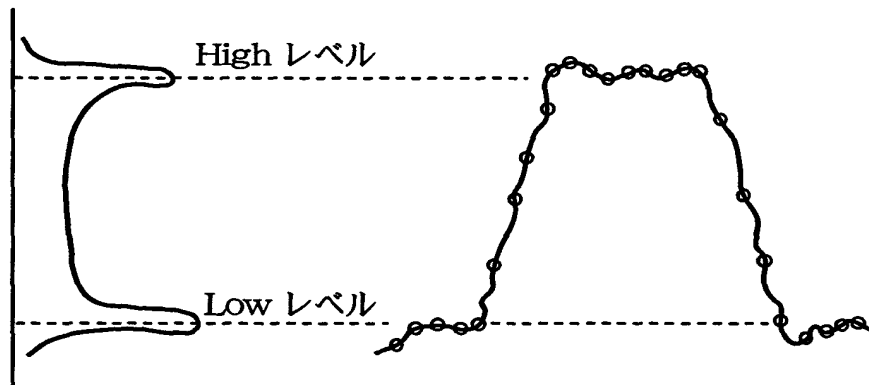
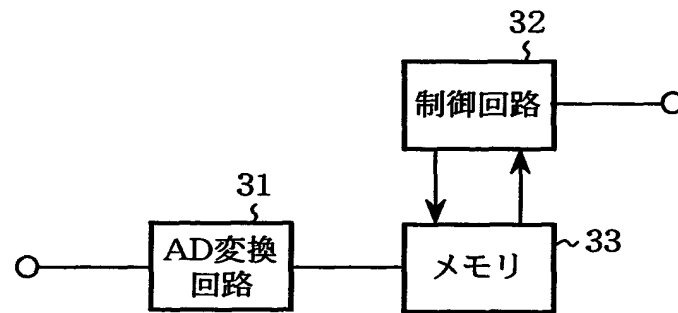
【図 2】



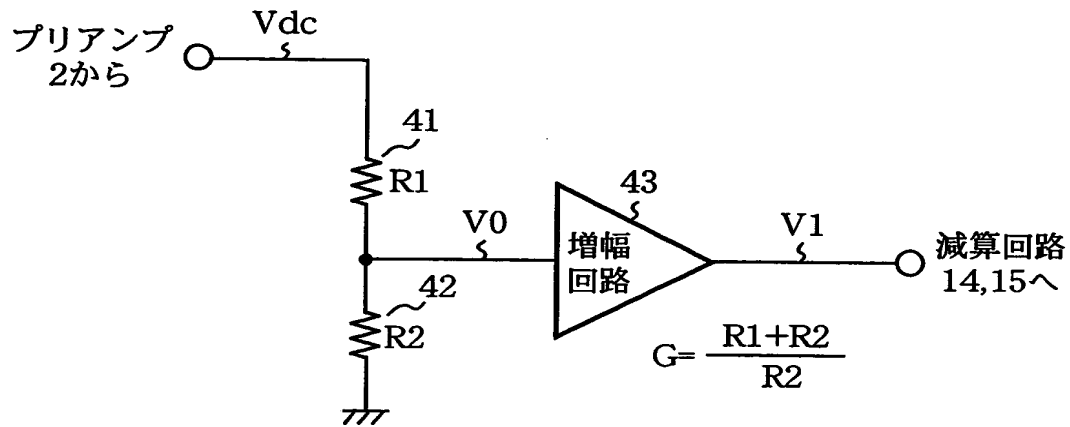
【図 3】



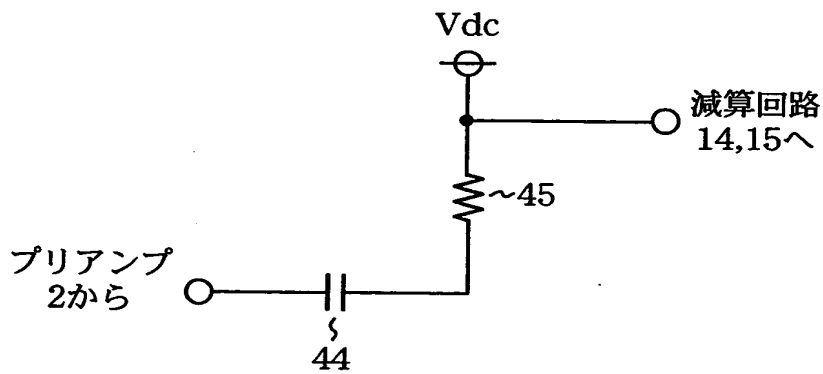
【図4】



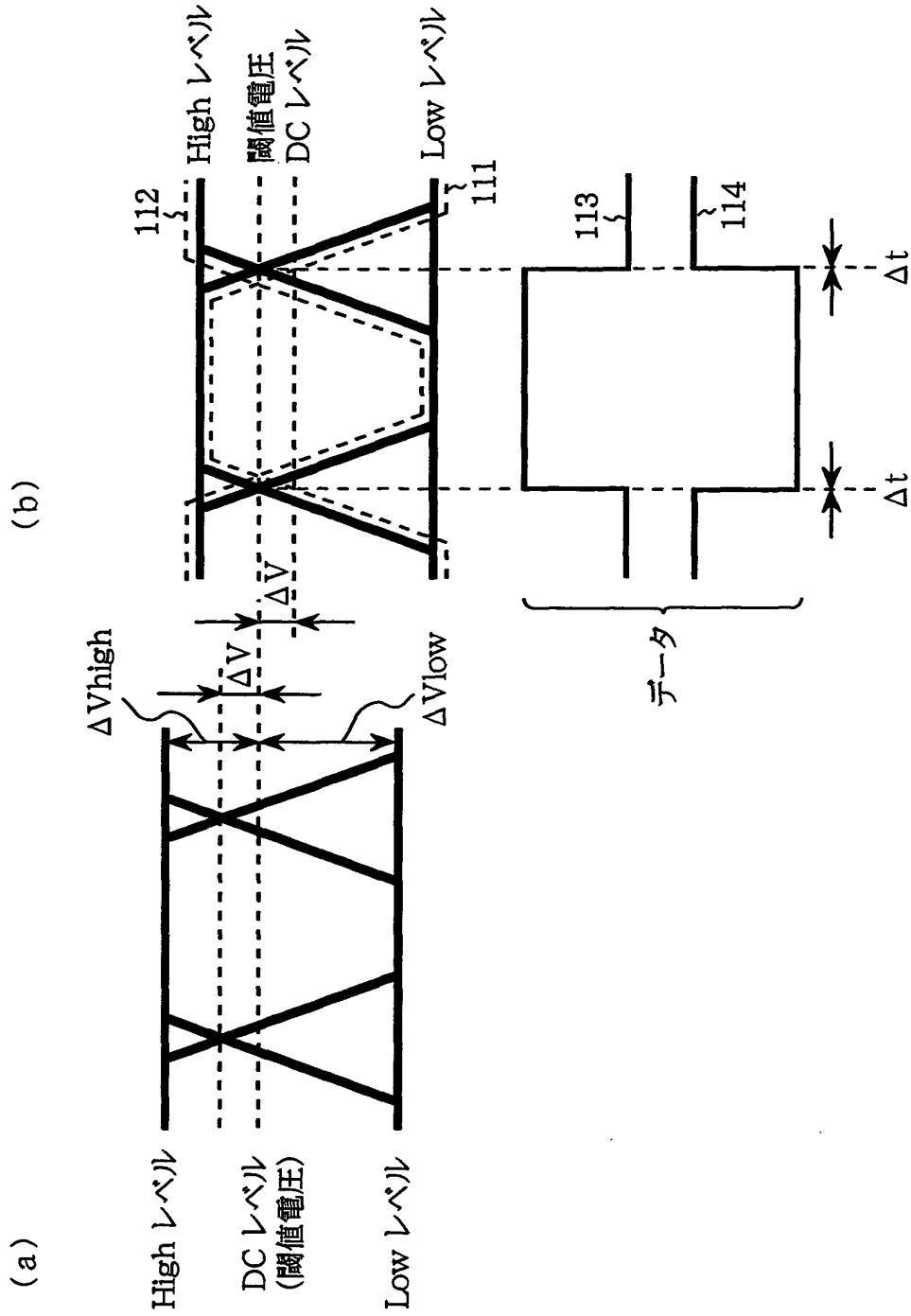
【図 5】



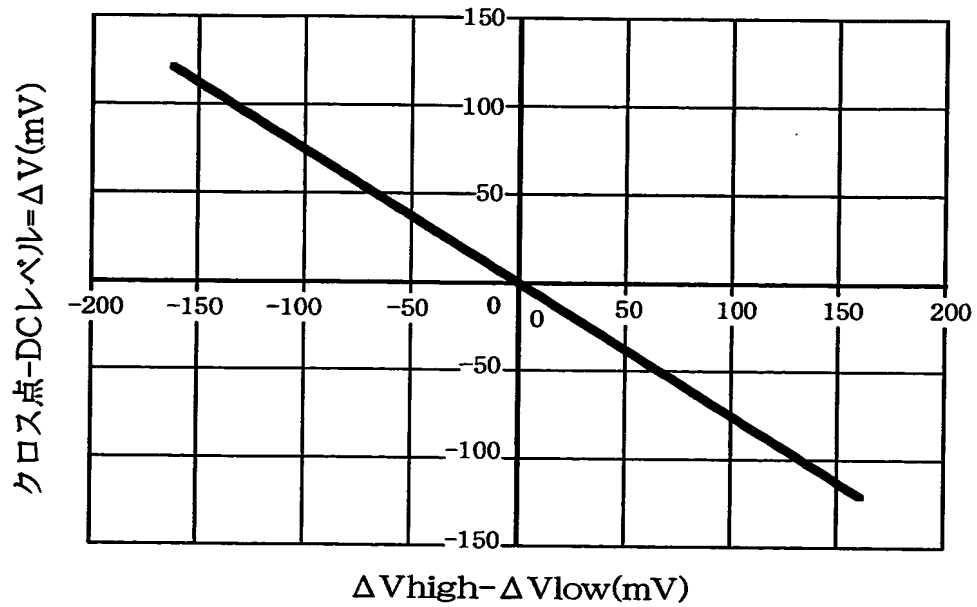
【図 6】



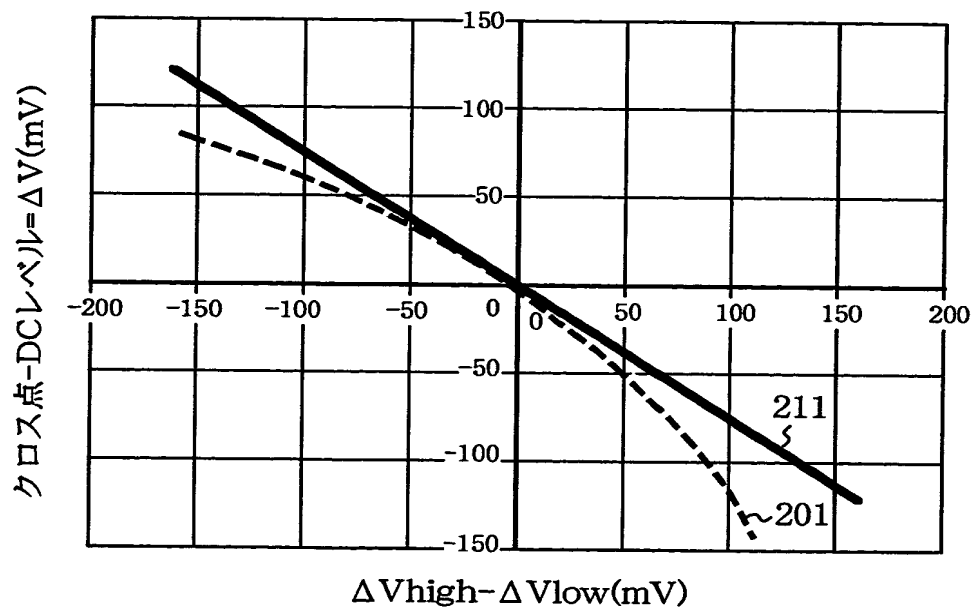
【図 7】



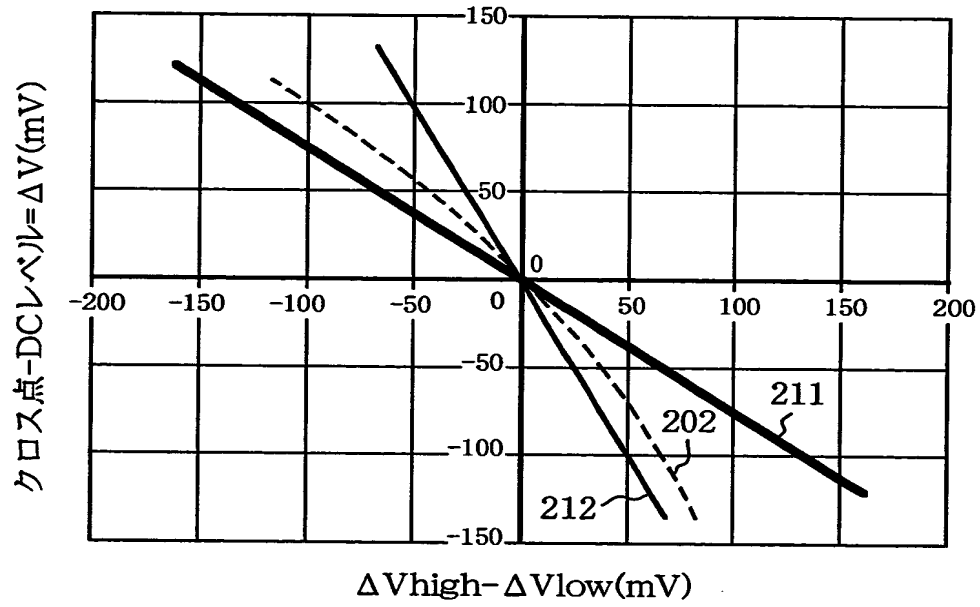
【図 8】



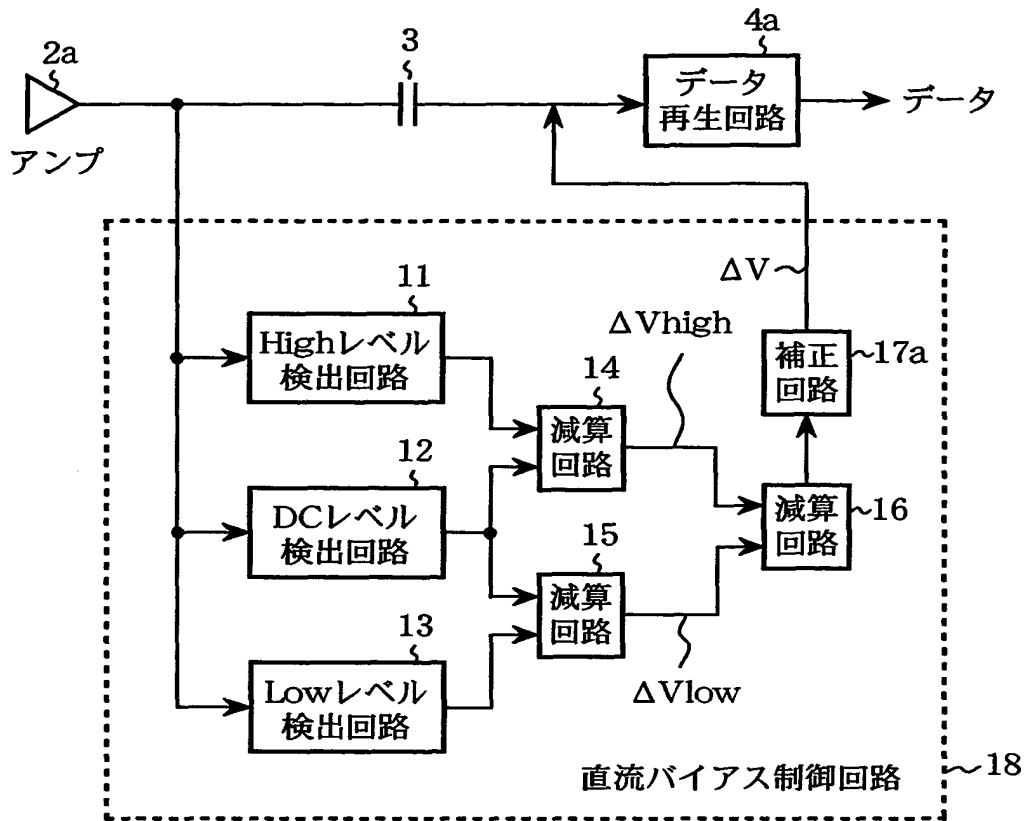
【図 9】



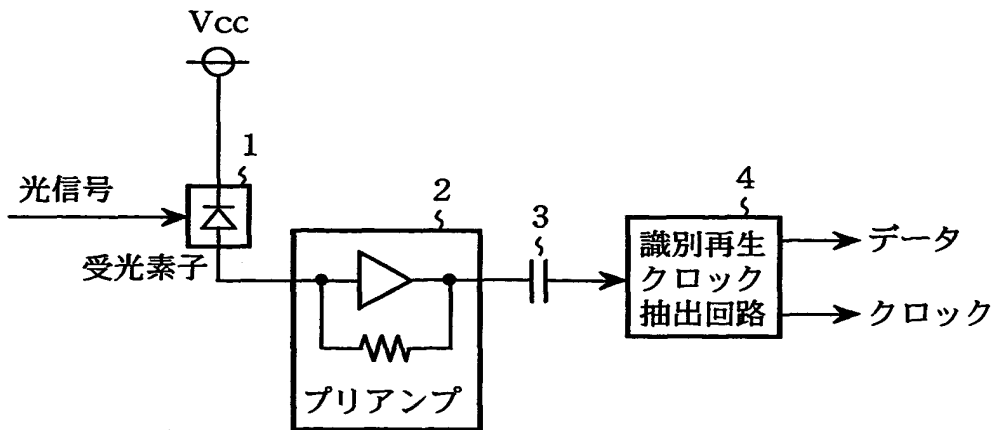
【図10】



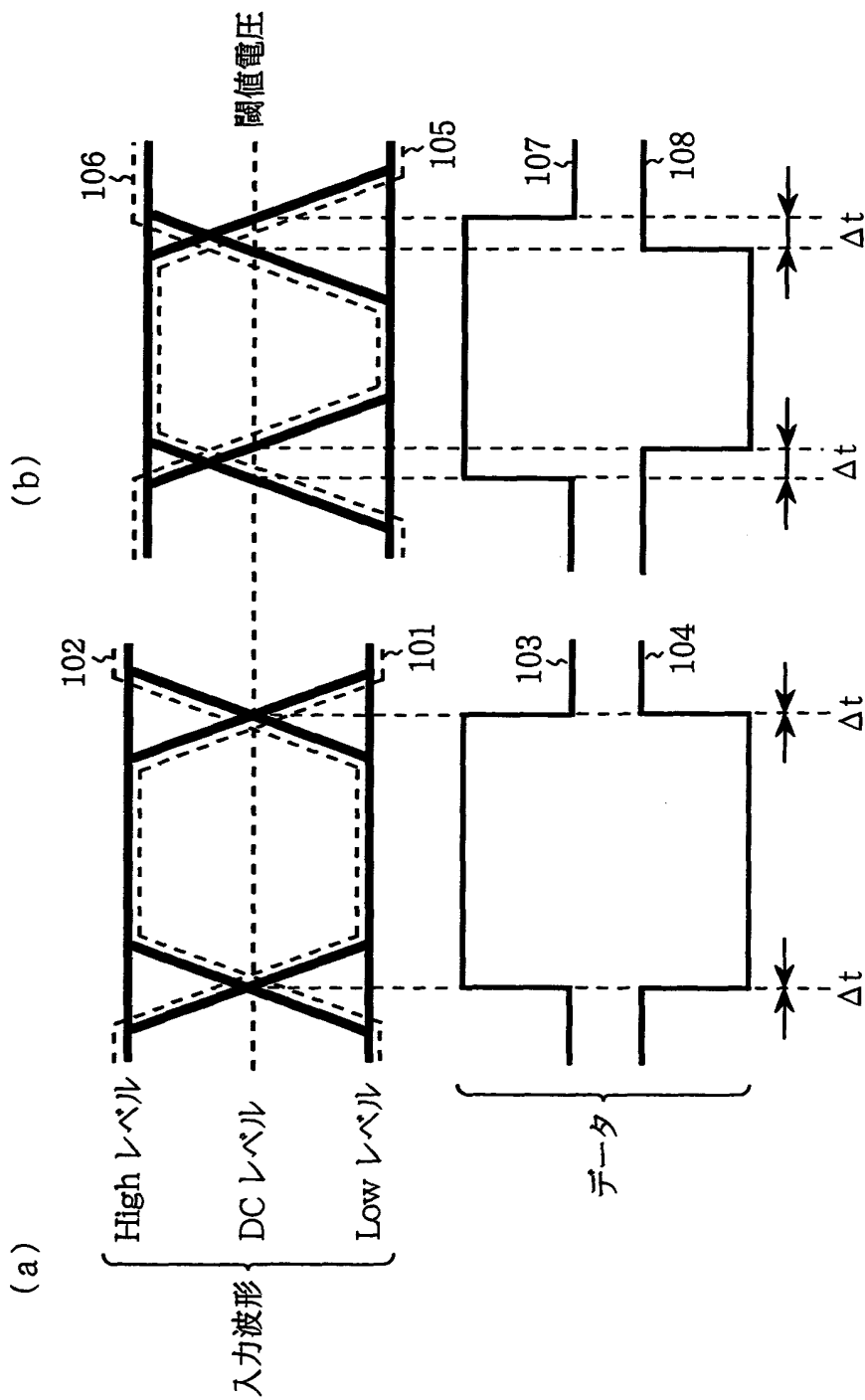
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 入力信号が歪んでも再生されるデータのジッタを抑制する。

【解決手段】 H i g hレベル検出回路11、DCレベル検出回路12、L o wレベル検出回路13は、プリアンプ2からのH i g hレベル、DCレベル、L o wレベルを検出し、減算回路14はH i g hレベルとDCレベルの差の第1の減算結果を求め、減算回路15はDCレベルとL o wレベルの差の第2の減算結果を求め、減算回路16は第1の減算結果と第2の減算結果の差の第3の減算結果を求め、補正回路17は第3の減算結果に重み付けを行いクロス点とDCレベルとの差を求め、識別再生クロック抽出回路4の直流バイアスを補正する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社